

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

F-035

**PCT**WELTORGANISATION FÜR GEISTIGES EIGENTUM  
Internationales BüroINTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIETE DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 7: <b>H01R 12/04, 13/66, 13/719</b>		A1	(11) Internationale Veröffentlichungsnummer: <b>WO 00/16446</b>  (43) Internationales Veröffentlichungsdatum: <b>23. März 2000 (23.03.00)</b>
(21) Internationales Aktenzeichen: <b>PCT/DE99/02785</b>		(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, I.U, MC, NL, PT, SE).	
(22) Internationales Anmeldedatum: <b>2. September 1999 (02.09.99)</b>		Veröffentlicht <i>Mit internationalem Recherchebericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>	
(30) Prioritätsdaten: <b>198 41 459.5 10. September 1998 (10.09.98) DE</b>			
(71) Anmelder ( <i>für alle Bestimmungsstaaten außer USA</i> ): <b>SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-8033 München (DE).</b>			
(72) Erfinder; und			
(75) Erfinder/Anmelder ( <i>nur für USA</i> ): <b>BELAU, Horst [DE/DE]; Gabriele Münster Weg 2, D-84085 Langquaid (DE), HELD, Joachim [DE/DE]; Schönwerthstrasse 56, D-81739 München (DE), REINDL, Hartwig [DE/DE]; Nürnberger Strasse 8, D-80537 Feucht (DE), MEYER, Wolfram [DE/DE]; Asamstrasse 36, D-93051 Regensburg (DE).</b>			
(74) Gemeinsamer Vertreter: <b>SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).</b>			
(54) Title: PRINTED CIRCUIT BOARD ARRANGEMENT WITH A MULTIPOLE PLUG-IN CONNECTOR			
(54) Bezeichnung: LEITERPLATTENANORDNUNG MIT MEHRPOLIGEM STECKVERBINDER			
(57) Abstract			
<p>A printed circuit board arrangement with a multipole plug-in connector (1) is fitted with plug pins that are respectively fixed to signal conductor tracks in a parallel position with respect to a printed circuit board layer (3). The signal conductor tracks (4) are arranged in a substantially parallel position and are alternately mounted side to side with ground conductor tracks (6). A ground screening surface (11) is also provided in an adjacent layer (10) of the printed circuit board.</p>			

## Beschreibung

## Leiterplattenanordnung mit mehrpoligem Steckverbinder

- 5 Die Erfindung betrifft eine Leiterplattenanordnung mit mehrpoligem Steckverbinder mit den im Oberbegriff des Anspruches  
1 angegebenen Merkmalen.

Die der Erfindung zugrundeliegende Problematik bezieht sich  
10 sowohl auf die Abschirmung von elektronischen Baugruppen gegen hochfrequente elektromagnetische Strahlungen von außen, wie z.B. Hochfrequenzeinstreuungen von Sendern oder Störungen durch Zünd- und Entladungsvorgänge, als auch auf die Verringerung der Emission von Hochfrequenz von der Baugruppe  
15 selbst, wie z. B. Hochfrequenz-Störströme auf den Versorgungsleitungen aufgrund von Microcontrollern in der Baugruppe. Während die gesamte Schaltungsanordnung als solche durch ein Metallgehäuse relativ einfach abgeschirmt werden kann, stellen dabei die das Gehäuse durchsetzenden Anschlüsse der  
20 Schaltung besondere Problemzonen dar. Zur Abschirmung werden dort entweder die Durchführungen der Anschlüsse durch Realisierung sogenannter Filter-Steckverbinder möglichst gut schirmend ausgeführt, wie dies beispielsweise in dem Fachaufsatze „Filter-Steckverbinder für die elektromagnetische Entstörung“ von Matthias Weber und Hans-Peter Mayr (ATZ Automobiltechnische Zeitschrift 91 (1989), Seiten 588 bis 591) beschrieben ist. Dieser Steckverbinder ist als Planar-Tiepfaßfilter in Dickschichttechnik ausgebildet und weist voneinander durch eine dielektrische Schicht getrennte Signal- und  
25 30 Masseelektroden auf, die einander überlappen. Insoweit ist der Filter-Steckverbinder gemäß dem genannten Fachaufsatze relativ komplex aufgebaut.

In der EP 0 563 071. B1 ist ein gegen Hochfrequenz abschirmendes Gehäuse einer Schaltung, z. B. für die Steuerschaltung eines Air-Bags eines Fahrzeuges, beschrieben, bei der die

Durchführung der Steckerstifte über einen vom übrigen Gehäuse getrennten und abgeschirmten Vorraum erfolgt.

Aus der WO 95/33291 A1 ist schließlich ein oberflächenmontierter Steckverbinder bekannt, bei dem die Steckerpins mit ihren abgekröpften platinenseitigen Enden flächig auf den entsprechenden Leiterbahnen der Platine aufgelötet sind.

Schließlich ist es auf dem einschlägigen technischen Gebiet 10 üblich, zur Abschirmung von hochfrequenten Störungen Kondensatoren zwischen die ein- und ausgangsseitigen Signalleiterbahnen und entsprechende Masseleiterbahnen einer Leiterplattenanordnung zu setzen. Dabei können - wie dies beispielsweise auch in der bereits erwähnten EP 0 563 071 B1 zu sehen ist 15 - die Steckerpins senkrecht auf die Platine zulaufen und in entsprechenden Kontaktbohrungen mit einer Signalleiterbahn verlötet sein. An diese Signalleiterbahnen sind jeweils Kondensatoren mit ihrem einen Anschlußpol angeschlossen, wobei der andere Anschlußpol auf einer gemeinsamen Massebahn liegt, 20 die parallel vor dem Stecker liegt. Bei dieser Anordnung ist die Plazierung der Kondensatoren und die erzielbare Abschirmwirkung problematisch.

Aus der JP 8-306410 A ist bekannt, plattenartige Leiterenden 25 auf einer Endfläche von parallelen Streifenleitern anzutragen. Nur ein Teil des Leiterendes ragt aus einem Dielektrikum hervor, das einen Abschnitt des Leiterendes einbettet.

Aus der JP 9-46006 A ist eine Anordnung mit parallelen Mikrostreifenleitern bekannt, zwischen denen eine Masseleitung angeordnet ist. Die Leiter sind auf einem Dielektrikum angeordnet, das mit einer Masseschicht versehen ist. Die Masseleitung ist mit der Masseschicht verbunden.

35 Die DE 44 00 160 A1 betrifft eine Leiterplatte für ein Bussystem mit einer Vielzahl von Anschlußstellen für Leitungen, die an den Bus angekoppelt werden sollen. Eine Leiterfläche

ist als Massefläche ausgebildet, die mit keinem anderen Potential des Systems verbunden ist. Die Anschlußstellen sind mit Filterkondensatoren versehen.

- 5 Die JP 1-138786 A offenbart einen integrierten Schaltkreis mit einer Abschirmschicht, die die signalführenden Leiter dreidimensional umgibt.

Der Erfindung liegt demgemäß die Aufgabe zugrunde, eine Leiterplattenanordnung mit mehrpoligem Steckverbinder der gattungsgemäßen Art so weiterzubilden, daß unter Erzielung einer guten Abschirmwirkung eine konstruktiv einfache und kompakte Ausgestaltung des Steckverbinder erreicht wird.

- 10 15 Diese Aufgabe wird durch die im Kennzeichnungsteil des Anspruches 1 angegebenen Merkmale gelöst. So beansprucht der Steckverbinder durch die parallel zu einer Platinenlage aufliegende Befestigung der Steckerpins auf der jeweiligen Signalleiterbahn in Höhenrichtung zur Platine keinen nennenswerten Raum, was der Kompaktheit besonders zugute kommt. Für eine gute Abschirmwirkung sorgt die wechselweise Seite-an-Seite-Anordnung der Signal- und Masseleiterbahnen auf der Platinenlage und die zusätzlich vorgesehene Masseschirmfläche auf einer benachbarten Platinenlage. Hierbei ist von Vorteil, 20 daß alle Leiterbahnen und die Masseschirmfläche in üblicher Fertigungstechnologie für das Aufbringen von Leiterbahnen auf Platinen, also ohne zusätzlichen Fertigungsaufwand angebracht werden können. Insgesamt sind also alle Komponenten im Steckerbereich optimal zu plazieren, was in der Praxis zu einer 25 Verbesserung der sogenannten elektromagnetischen Verträglichkeit bezüglich Ein- und Abstrahlung um mehr als 20 dB führen kann. Ferner kann die beim Stand der Technik vorgesehene Schirmkammer - z. B. der in der EP 0 563 071 B1 beschriebene Vorraum zur Durchführung der Steckerpins - komplett entfallen.
- 30
- 35

Bevorzugte Ausführungsformen der Erfindung sind in den Unteransprüchen angegeben.

Ein Ausführungsbeispiel einer erfindungsgemäßen Leiterplattenanordnung mit mehrpoligem Steckverbinder wird im folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine schematische ausschnittsweise Draufsicht auf  
10 eine Leiterplattenanordnung mit mehrpoligem Steck-  
verbinder, und

Fig. 2 einen Schnitt durch die Anordnung entlang der  
Schnittlinie II-II nach Fig. 1.

15 In den Zeichnungen ist eine zweilagige Platine 1 mit einem Substrat aus PCB-Material ausschnittsweise im Bereich eines mehrpoligen Steckverbinder 2 gezeigt. Auf der obengelegenen Platinenlage 3 sind drei Signalleiterbahnen 4.1, 4.2, 4.3 rechtwinklig bis an den Rand 5 der Platine 1 parallel mit Abstand zueinander herangeführt. Zwischen den Signalleiterbahnen 4.1, 4.2 bzw. 4.2, 4.3 und neben den äußeren Signalleiterbahnen 4.1, 4.3 sind Seite an Seite und parallel mit diesen Leiterbahnen die Masseleiterbahnen 6.1, 6.2, 6.3, 6.4 wechselweise mit diesen Signalleiterbahnen 4 angeordnet. Die Masseleiterbahnen 6 enden in einem Abstand 7 vom Rand 5 der Platine 1.

Auf der Platinenlage 3 liegen flach und parallel zu den Signalleiterbahnen 4.1., 4.2., 4.3 Steckerpins 8.1, 8.2, 8.3 auf, die zur elektrischen Kontaktierung flächig auf den Signalleiterbahnen 4.1, 4.2, 4.3 verlötet sind. Die über den Rand 5 hinausstehenden Enden 9 der Steckerpins 8 dienen dabei zum Einstecken in eine entsprechenden Buchsenanordnung.

35 Wie insbesondere aus Fig. 2 deutlich wird, ist auf der der oberen Platinenlage 3 abgewandten unteren Platinenlage 10 ei-

ne Masseschirmfläche 11 vorgesehen, die den von den Signal- 4 und Masseleiterbahnen 6 eingenommenen Flächenbereich überdeckt. Dies wird aus der in Fig. 1 strichpunktiert eingezeichneten Kontur 12 der Masseschirmfläche 11 deutlich. Die 5 Masseschirmfläche 11 ist mit jeder Masseleiterbahn 6.1, 6.2, 6.3 und 6.4 mehrmals über Durchkontakteierungen 13 durch die Platine 1 elektrisch verbunden. Die Masseschirmfläche kann auch auf einer Innenlage bei mehrlagigen Platinen realisiert sein.

10

Wie der Übersichtlichkeit halber nur in einem Beispiel in Fig. 1 dargestellt ist, ist zwischen der Signalleiterbahn 4.1 und der Masseleiterbahn 6.1 auf der dem Steckerpin 8.1 abgewandten Seite des Steckverbinders 2 ein Filterkondensator 14 geschaltet. Durch solche Filterkondensatoren 14 zwischen entsprechenden Signal-Masseleiterbahn-Paaren am Ende der Masseleiterbahnen 6 werden niederimpedante, bis in den hohen Frequenzbereich wirkende parasitäre Kapazitäten zwischen den Signalleiterbahnen 4 und Masseleiterbahnen 6 aufgebaut. Die 15 Kopplungswege für hochfrequente Störungen beschränken sich damit hauptsächlich auf den Bereich zwischen den Signalleiterbahnen 4 und den dazwischen und darunterliegenden Massebereichen in Form der Masseleiterbahnen 6 und Masseschirmfläche 11 im Bereich des Steckverbinders 2.

20

Zur Verbesserung der Abschirmungseigenschaften kann schließlich - in den Zeichnungen strichiert angedeutet - noch eine Abschirmplatte 15 vorgesehen sein, die die Signalleiterbahnen 4.1, 4.2, 4.3 im Bereich des Steckverbinders 2 überspannt und 25 auf den beiden äußeren Masseleiterbahnen 6.1, 6.4 befestigt und elektrisch damit verbunden ist.

Es ist darauf hinzuweisen, daß bei mehrlagigen oder sogenannten Multilayer-Platinen entsprechende Signalleiterbahnen und 30 Masseleiterbahnen auf den jeweils äußeren Platinenlagen 3, 10 angeordnet sein können. Die Masseschirmfläche 11 befindet

sich dann auf einer oder beiden der diesen beiden Steckverbinderbereichen benachbart liegenden inneren Platinenlagen.

## Patentansprüche

1. Leiterplattenanordnung mit mehrpoligem Steckverbinder, umfassend
  - 5 A. eine mindestens zweilagige Platine (1),
  - B. mehrere Signalleiterbahnen (4) im Randbereich einer Platinenlage (3),
  - C. mehrere, jeweils einer Signalleiterbahn (4) zugeordnete Steckerpins (8),
  - 10 D. den Signalleiterbahnen (4) zugeordnete Masseleiterbahnen (6) auf der Platinenlage (3), und
  - E. mindestens einen Filterkondensator (14) zwischen Signal- (4) und Masseleiterbahnen (6), gekennzeichnet durch,
  - 15 F. eine zur Platinenlage (3) parallel aufliegende Befestigung der Steckerpins (8) auf der jeweiligen Signalleiterbahn (4),
  - G. eine zueinander im wesentlichen parallele, wechselweise Seite-an-Seite-Anordnung der Signal-(4) und
  - 20 H. Masseleiterbahnen (6) auf der einen Platinenlage (3), und
  - H. eine den Flächenbereich der Signal-(4) und Masseleiterbahnen (6) überdeckende Masseschirmfläche (11) auf einer benachbarten Platinenlage (10).
- 25 2. Leiterplattenanordnung mit Steckverbinder nach Anspruch 1, dadurch gekennzeichnet, daß die Masseleiterbahnen (6) und die Masseschirmfläche (11) über Durchkontakteierungen (13) durch die Platine (1) elektrisch miteinander verbunden sind.
- 30 3. Leiterplattenanordnung nach Anspruch 2, dadurch gekennzeichnet, daß jede Masseleiterbahn (6) über mehrere Durchkontakteierungen (13) mit der Masseschirmfläche (11) elektrisch verbunden ist.

4. Leiterplattenanordnung mit Steckverbinder nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Filterkondensatoren (14) auf der den Steckerpins (8) abgewandten Seite der Signalleiterbahnen (4) zwischen die Masse- und Signalleiterbahnen (6, 4) geschaltet sind.  
5
5. Leiterplattenanordnung mit Steckverbinder nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Seite-an-Seite-Anordnung von Signal- (4) und Masseleiterbahnen (6) von einer Abschirmplatte (15) überdeckt ist, die auf der der Masseschirmfläche (11) abgewandten Seite der Signal- (4) und Masseleiterbahnen (6) angeordnet ist.  
10
- 15 6. Leiterplattenanordnung mit Steckverbinder nach Anspruch 5, dadurch gekennzeichnet, daß die Abschirmplatte (15) auf den beiden äußeren der Masseleiterbahnen (6.1, 6.4) befestigt und elektrisch damit verbunden ist.
- 20 7. Leiterplattenanordnung mit Steckverbinder nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß bei mehrlagigen Platinen Steckerpins mit zugeordneten Signal- und Masseleiterbahnen auf den beiden äußeren Platinenlagen angeordnet sind, wobei mindestens eine zugehörige Masseschirmfläche auf den inneren Platinenlagen angeordnet ist.  
25

1 / 1

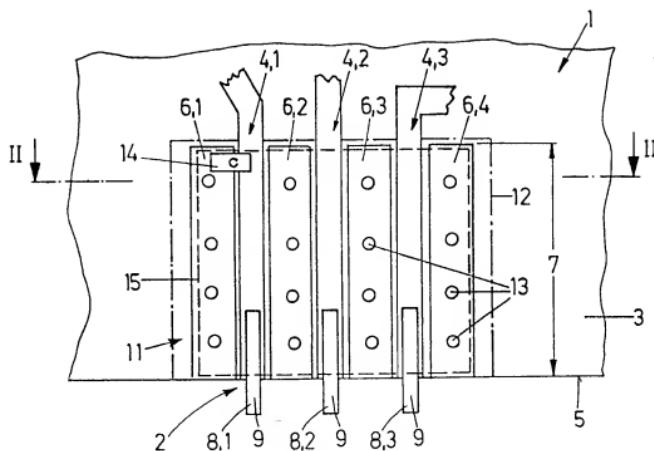


FIG.1

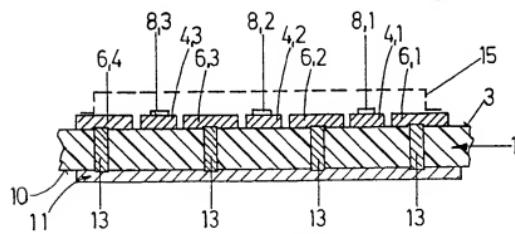


FIG.2

## INTERNATIONAL SEARCH REPORT

In national Application No  
PCT/DE 99/02785

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H01R12/04 H01R13/66 H01R13/719

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbol)  
IPC 7 H01R H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 98 06243 A (DYCONEX PATENTE ; SCHMIDT WALTER (CH); MARTINELLI MARCO (CH)) 12 February 1998 (1998-02-12) page 11, line 5 - line 21; figures 10,11	1,2
A	DE 44 00 160 A (WUERTH ELEKTRONIK GMBH & CO KG) 6 July 1995 (1995-07-06) the whole document	3,5-7
X	DE 44 00 160 A (WUERTH ELEKTRONIK GMBH & CO KG) 6 July 1995 (1995-07-06) the whole document	1
A	US 5 736 910 A (HATCH DAVID ET AL) 7 April 1998 (1998-04-07) column 3, line 45 -column 8, line 21	4
A	US 5 736 910 A (HATCH DAVID ET AL) 7 April 1998 (1998-04-07) column 3, line 45 -column 8, line 21	1,4
A	DE 44 25 803 A (SIEMENS AG OESTERREICH) 16 February 1995 (1995-02-16) figure 7	1

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

## \* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the International filing date

"L" document which may throw doubts on priority, claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"D" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the International filing date but later than the priority date claimed

"T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the International search

Date of mailing of the International search report

17 February 2000

24/02/2000

Name and mailing address of the ISA

European Patent Office, P.O. 6816 Patenttaan 2  
NL-2290 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 661 epo nl,  
Fax (+31-70) 340-3016

Authorized officer

Salojärvi, K

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 99/02785

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
WO 9806243	A	12-02-1998	EP	0916237 A		19-05-1999
DE 4400160	A	06-07-1995		NONE		
US 5736910	A	07-04-1998	AU	1150997 A		11-06-1997
			CA	2238305 A		29-05-1997
			CN	1202278 A		16-12-1998
			EP	0862803 A		09-09-1998
			WO	9719498 A		29-05-1997
DE 4425803	A	16-02-1995		NONE		

World Intellectual Property Organization  
International Bureau  
International Application Published under the Patent Cooperation Treaty (PCT)

(51) International Patent Classification <sup>7</sup> : H01R 12/04, 13/66, 13/719	A1 (11) International Publication Number: WO 00/16446 (43) International Publication Date: March 23, 2000 (23.03.2000)
(21) International Application Number: PCT/DE99/02785	(81) Designated States: JF, KR, US, European Patent (AT, BE, CHI, CY, DE, DK, ES, FL, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(22) International Filing Date: September 2, 1999 (02.09.99)	Published: With international search report. Before the deadline permitted for revising the claims. Will be republished if revisions are received.
(30) Priority Dates: 198 41 459.5 September 10, 1998 (10.09.98) Germany	
(71) Applicant (for all designated states except U.S.): SIEMENS AKTIENGESELLSCHAFT (Germany/Germany); Wittelsbacherplatz 2, 80333 Munich (Germany)	
(72) Inventor and (75) Inventor/Applicant (for U.S. only): BELAU, Horst (Germany/Germany); Gabriele Münster Weg 2, 84085 Langquaid (Germany); HELD, Joachim (Germany/Germany), Schönwerthstrasse 56, 81739 Munich (Germany); REINDL, Harwig (Germany/Germany), Nürnberger Strasser 8, 80537 Feucht (Germany); MEYER, Wolfram (Germany/Germany) Asterntrasse 36, 93051 Regensburg (Germany)	
(74) Joint Agent: SIEMENS AKTIENGESELLSCHAFT, P.O. Box 22 16 34, 80506 Munich, Germany	
(54) Title: PRINTED CIRCUIT BOARD ARRANGEMENT WITH A MULTI-POLE PLUG-IN CONNECTOR	
<p>(57) Abstract</p> <p>A printed circuit board arrangement with a multi-pole plug-in connector (1) is fitted with plug pins that are respectively fixed to signal conductor tracks in a parallel position with respect to the printed circuit board layer (3). The signal conductor tracks (4) are arranged in a substantially parallel position and are alternately mounted side to side with ground conductor tracks (6). A ground screening surface (11) is also provided on an adjacent layer (10) of the printed circuit board.</p>	

[57] Abstract – see preceding page

For information only:

Identification codes for the PCT treaty states on the letterheads of the publication documents for international applications pursuant to the PCT.

AL	Albania	ES	Spain	LS	Lesotho	SL	Slovenia
AM	Armenia	FI	Finland	LT		SK	Slovakia
AT	Austria	FR	France	LU	Luxembourg	SN	Senegal
AU	Australia	GA	Gabon	LV	Lithuania	SZ	Swaziland
AZ	Azerbaijan	GB	Great Britain	MC	Monaco	TD	Chad
BA	Bosnia- Herzegovina	GE	Georgia	MO	Moldavia	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagascar	TJ	Tadzhikistan
BE	Belgium	GN	Guinea	MK	Former Yugoslavian	TM	Turkmenistan
BF		GR	Greece		Republic Macedonia	TR	Turkey
BG	Bulgaria	HU	Hungary	ML	Mali	TT	Trinidad and Tobago
BJ	Benin	IE	Ireland	MN	Mongolia	UA	Ukraine
BR	Brazil	IL	Israel	MR	Mauritania	UG	Uganda
BY	Belorussia	IS	Iceland	MW	Malawi	US	United States
CA	Canada	IT	Italy	MX	Mexico		of America
CF	Central African Republic	JP	Japan	NE	Niger	UZ	Uzbekistan
CG	Congo	KE	Kenya	NL	The Netherlands	VN	Vietnam
CH	Switzerland	KC		NO	Norway	YU	Yugoslavia
CI	Ivory Coast	KP	North Korea	NZ	New Zealand	ZW	Zimbabwe
CM	Cameroon			PL	Poland		
CN	China	KE	South Korea	PT	Portugal		
CU	Cuba	KZ		RO	Rumania		
CZ	Czech Republic	LC	St. Lucia	RU	Russian Federation		
DE	Germany	LI	Liechtenstein	SD	Sudan		
DK	Denmark	LK	Sri Lanka	SE	Sweden		
EL	Estonia	LR	Liberia	SG	Singapore		

## Specifications

### Printed Circuit Board Arrangement with Multi-pole Plug-in Connector

The invention relates to a printed circuit board arrangement with multi-pole plug-in connector having the features of the characterizing portion of patent claim 1.

The problem underlying the invention relates both to protecting electronic sub-assemblies from high-frequency electromagnetic radiation from the outside, such as high frequency interference from transmitters or interference as a result of ignition or discharge processes, and to decreasing the emission of high frequency by the sub-assembly itself, such as high frequency parasitic currents in the supply lines as a result of micro-controllers in the sub-assembly. While the complete circuit arrangement as such can be relatively easily screened by means of a metal housing the circuit connections passing through the housing represent particular problem areas. For screening purposes, the lead-through for the connections may be protected as efficiently as possible by means of so-called filter plug-in connectors, such as are described, for example, in the technical article "Filter Plug-in Connectors for Electromagnetic Interference Suppression" by Matthias Weber and Hans-Peter Mayr (ATZ Automobiltechnische Zeitschrift [= Automotive Technical Magazine] 91 (1989), pages 588 to 591). Said plug-in connector is a planar low pass filter produced by means of thick-film technology and has overlapping signal and ground electrodes that are separated by means of a dielectric layer. Accordingly, the design of the filter plug-in connector described in the above technical article is relatively complex.

EP 0 563 071 B1 specifies a circuit housing that protects against high-frequency, for the control circuit of an air bag in a vehicle for example, where the plug pins are guided through a screened anteroom which is separated from the rest of the housing.

Finally, WO 95/33291 A1 describes a surface mounted plug-in connector where the crimped ends of the plug pins on the printed circuit board side are soldered flat to the respective conductor tracks of the printed circuit board.

Finally, it is common practice in the relevant technical field to provide capacitors between the signal conductor tracks on the input and output sides and the respective ground conductor tracks of a printed circuit board arrangement so as to provide protection against high-frequency interference. As described in the above mentioned EP 0 563 071 B1, for example, the plug pins may run vertically toward the printed circuit board and they may be soldered to a signal conductor track in respective contact borings. Capacitors are connected to each of these signal conductor tracks with one terminal pole while the other terminal pole is located on a common ground track which lies parallel in front of the plug. With this arrangement, the positioning of the capacitors and the achievable screening effect are problematic.

From JP 8-306410 A it is known in the art to dispose plate-like conductor ends on an end face of parallel strip conductors. Only a part of the conductor end will project from a dielectric where a section of the conductor end is imbedded.

From JP 9-46006 A, an arrangement of parallel micro strip conductors is known between which a ground wire is disposed. The conductors are disposed on a dielectric which is provided with a ground layer. The ground wire is connected with the ground layer.

DE 44 00 160 A1 relates to a printed circuit board for a bus system having multiple connecting points for lines to be coupled to the bus. A conductor surface is designed as a ground surface which is not connected with any other potential in the system.

The connecting points are provided with filter capacitors.

JP 1-138786 A discloses an integrated circuit having a screening layer that three-dimensionally encompasses the signal-carrying conductors.

Accordingly, the object of the invention is to further develop a printed circuit board arrangement with multi-pole plug-in connector of the above described type so as to obtain a structurally simple and compact design for the plug-in connector while achieving a good screening effect.

This problem is solved by means of the features listed in the characterizing portion of claim 1. Accordingly, the plug-in connector does not require a significant amount of space as a result of the plug pins being mounted in parallel position with respect to a printed circuit board layer on the respective signal conductor track in vertical direction relative to the printed circuit board, which is particularly advantageous for a compact design. The alternate side to side arrangement of the signal and ground conductor tracks on the printed circuit board layer and the additionally provided ground screening surface on an adjacent printed circuit board provide a good screening effect. It is advantageous if all conductor tracks and the ground screening surface can be mounted using standard production engineering for mounting conductor tracks on printed circuit boards, i.e. that no additional manufacturing efforts are required. Generally, all components must be optimally positioned in the plug area which, in practical application, may improve the so-called electromagnetic compatibility with regard to irradiation and radiation by more than 20 dB. In addition, the screening chamber of the prior art, such as the anteroom for the plug pins specified in EP 0 563 071 B1, may be omitted completely.

Preferred embodiments of the invention are found in the subordinated claims.

An exemplary embodiment of the printed circuit board arrangement of the invention with multi-pole plug-in connector will be explained in more detail below by means of the enclosed drawings, as follows:

Fig. 1 a schematic sectional top view of a printed circuit board arrangement with multi-pole plug-in connector, and

Fig. 2 a profile through the arrangement along line II-II according to Fig. 1.

The drawings show a section in the area of a multi-pole plug-in connector 2 of a double-layer printed circuit board 1 having a substrate of PCB material. From the top printed circuit board layer 3 three signal conductor tracks 4.1, 4.2, 4.3 are guided at right angles, to the edge 5 of the printed circuit board 1, parallel and spaced apart from each other. Between the signal conductor tracks 4.1, 4.2 and 4.3, respectively, and adjacent to the outside signal conductor tracks 4.1, 4.3, side to side and parallel with said conductor tracks the ground conductor tracks 6.1, 6.2, 6.3, 6.4 are disposed alternating with said signal conductor tracks 4. The ground conductor tracks 6 end at a distance 7 from the edge 5 of the printed circuit board 1.

Supported by the printed circuit board layer 3, flat and parallel with the signal conductor tracks 4.1., 4.2, 4.3, there are plug pins 8.1, 8.2, 8.3, which are soldered flat to the signal conductor tracks 4.1, 4.2, 4.3 for electrical bonding. The ends 9 of the plug pins 8 projecting over the edge 5 are designed to be plugged into a corresponding socket arrangement.

As evidenced particularly by Fig. 2, a ground screening surface 11 is provided on the bottom printed circuit board layer 10 opposite the top printed circuit board layer 3 which covers the surface area occupied by the signal 4 and ground conductor tracks 6.

This is illustrated by the contour 12 of the ground screening surface 11 shown in Fig. 1 by means of dot-and-dash lines. The ground screening surface 11 is electrically connected multiple times with each ground conductor track 6.1, 6.2, 6.3 and 6.4 by means of through-platings 13 through the printed circuit board 1. The ground screening surface may also be provided on an inside layer in multi-layered printed circuit boards.

As shown in Fig. 1 by means of a single example for reasons of clarity a filter capacitor 14 is connected between the signal conductor track 4.1 and the ground conductor track 6.1 on the side of the plug-in connector 2 opposite the plug pin 8.1. As a result of such filter capacitors 14 between corresponding pairs of signal-ground conductor tracks at the end of the ground conductor tracks 6 low impedance parasitic capacities which are effective up to a high frequency range are built up between the signal conductor tracks 4 and the ground conductor tracks 6. The coupling paths for high frequency interference are thus primarily restricted to the area between the signal conductor tracks 4 and the ground areas located in between and underneath in the form of ground conductor tracks 6 and the ground screening surface 11 in the area of the plug-in connector 2.

Finally, to improve the screening properties, a screening plate 15 may be provided, shown as a dashed line in the drawing, which spans the signal conductor tracks 4.1, 4.2, 4.3 in the area of the plug-in connector 2 and which is mounted on the two outside ground conductor tracks 6.1, 6.4 and is electrically connected with the latter.

It should be noted that in case of multi-layer printed circuit boards respective signal conductor tracks and ground conductor tracks may be disposed on the respective outside printed circuit board layers 3, 10.

The ground screening surface 11 is then located on one or both inside printed circuit board layers that are adjacent to the two plug-in connector areas.

### Patent Claims

1. Printed circuit board arrangement with multi-pole plug-in connector, comprising
  - A. a printed circuit board (1) having at least two layers,
  - B. multiple signal conductor tracks (4) in the edge area of a printed circuit board layer (3),
  - C. multiple plug pins (8) each associated with one signal conductor track (4),
  - D. ground conductor tracks (6) on the printed circuit board layer (3) associated with the signal conductor tracks (4), and
  - E. at least one filter capacitor (14) between the signal (4) and ground conductor tracks (6), characterized by
  - F. a mounting of the plug pins (8) in parallel position with respect to the printed circuit board layer (3) on the respective signal conductor track (4),
  - G. a substantially parallel alternate side to side arrangement of the signal (4) and ground conductor tracks (6) on one printed circuit board layer (3), and
  - H. a ground screening surface (11) covering the surface area of the signal (4) and ground conductor tracks (6) on an adjacent printed circuit board layer (10).
2. Printed circuit board arrangement with plug-in connector according to claim 1, characterized in that the ground conductor tracks (6) and the ground screening surface (11) are electrically connected by means of through-platings (13) through the printed circuit board (1).
3. Printed circuit board arrangement according to claim 2, characterized in that each ground conductor track (6) is electrically connected with the ground screening surface (11) by means of multiple through-platings (13).

4. Printed circuit board arrangement with plug-in connector according to any of the claims 1 through 3, characterized in that the filter capacitors (14) are connected on the side of the signal conductor tracks (4) opposite the plug pins (8) between the ground and signal conductor tracks (6, 4).
5. Printed circuit board arrangement with plug-in connector according to any of the claims 1 through 4, characterized in that the side to side arrangement of the signal (4) and ground conductor tracks (6) is covered by a screening plate (15) disposed on the side of the signal (4) and ground conductor tracks (6) opposite the ground screening surface (11).
6. Printed circuit board arrangement with plug-in connector according to claim 5, characterized in that the screening plate (15) is mounted on the two outside ground conductor tracks (6.1, 6.4) and is electrically connected therewith.
7. Printed circuit board arrangement with plug-in connector according to any of the claims 1 through 6, characterized in that in case of multi-layer printed circuit boards plug pins having associated signal and ground conductor tracks are disposed on the two outside printed circuit board layers where at least one associated ground screening surface is disposed on the inside printed circuit board layers.